

DERWENT-ACC-NO: 1994-259123

DERWENT-WEEK: 199432

COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: Solid state imaging device for line sensors  
having high speed read-out - changes setting of bias  
current supplied to amplifier of photodiode corresponding to  
quantity of light used for projection

PATENT-ASSIGNEE: OLYMPUS OPTICAL CO LTD[OLYU]

PRIORITY-DATA: 1992JP-0355371 (December 21, 1992)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 06189204 A	July 8, 1994	N/A
010 H04N 005/335		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 06189204A	N/A	1992JP-0355371
December 21, 1992		

INT-CL (IPC): H04N005/335

ABSTRACTED-PUB-NO: JP 06189204A

BASIC-ABSTRACT:

The solid imaging pixel elements (11-1 to 11-n) consists of photodiodes (1s), capacitors (3s, 12s), PMOS transistors (4s) and NMOS transistors (5s) for reset control. The output bias circuit voltage (16) constitutes a unit pixel from the PMOS FET for loads connected to the drain of NMOS FET, capacitor (12), and NMOS FET (6) for selection.

An output bias voltage sets a bias current at the gate electrode of PMOS for

the loads. The output signal is provided by NMOS FET (3), and the reset device with the output buffer (14). Temporary signal storage is provided for the pixels by a shift register (15).

ADVANTAGE - Allows increased luminance tolerance. Reduced charge storage current. Transmits and reads as solid imaging pixel devices.

CHOSEN-DRAWING: Dwg.1/12

TITLE-TERMS: SOLID STATE IMAGE DEVICE LINE SENSE HIGH SPEED READ-OUT  
CHANGE SET

BIAS CURRENT SUPPLY AMPLIFY PHOTODIODE CORRESPOND  
QUANTITY LIGHT  
PROJECT

ADDL-INDEXING-TERMS:  
CCD PHOTODIODE ARRAY

DERWENT-CLASS: U13 W02 W04

EPI-CODES: U13-A01A; W02-J02A1A; W04-M01B5;

SECONDARY-ACC-NO:  
Non-CPI Secondary Accession Numbers: N1994-204545

---

# Printed by EAST

---

**UserID:** JVillecco  
**Computer:** WS05002  
**Date:** 12/17/2004  
**Time:** 14:21

## Document Listing

Document	Image pages	Text pages	Error pages
JP 06189204 A	10	0	0
Total	0	0	0

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-189204

(43)公開日 平成6年(1994)7月8日

(51)Int.Cl.<sup>4</sup>

H 0 4 N 5/335

識別記号

庁内整理番号

Z

F I

技術表示箇所

審査請求 未請求 請求項の数11(全 10 頁)

(21)出願番号 特願平4-355371

(22)出願日 平成4年(1992)12月21日

(71)出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72)発明者 宇野 正幸

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

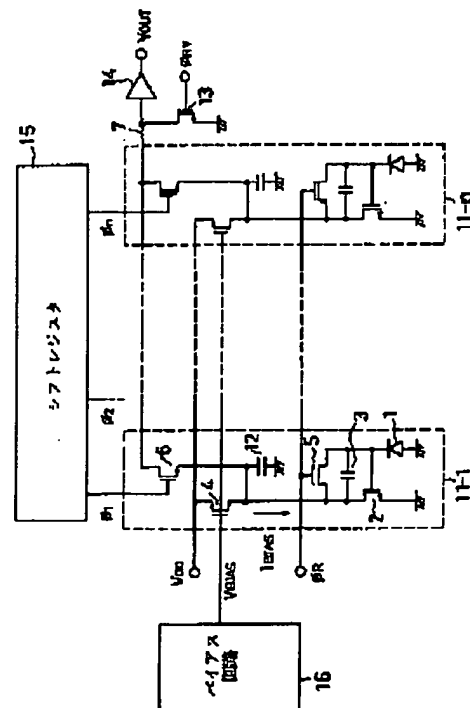
(74)代理人 弁理士 最上 健治

(54)【発明の名称】 固体撮像装置

(57)【要約】

【目的】 画素内で消費するバイアス電流を必要最小限に抑えながら、高輝度時に対する追従性を良好にすると共に高速読み出し動作を可能とする固体撮像装置を提供する。

【構成】 フォトダイオード1と、フォトダイオード1にゲートを接続したn型MOSトランジスタ2と、フォトダイオード1とn型MOSトランジスタ2のドレイン間に接続した容量素子3及びリセット用n型MOSトランジスタ5と、n型MOSトランジスタ2のドレインに接続された負荷用p型MOSトランジスタ4、容量素子12及び選択用n型MOSトランジスタ6とで単位画素を構成し、前記負荷用p型MOSトランジスタ4のゲートにバイアス電流を設定するバイアス回路16の出力電圧を印加し、画素のバイアス電流を制御する。



## 【特許請求の範囲】

【請求項1】 フォトダイオードと、該フォトダイオードで発生した光電荷を蓄積する手段と、蓄積された光電荷を排出するリセット手段と、蓄積された光電荷に対応した増幅出力を出力する増幅手段と、増幅出力を選択的に読み出す選択スイッチング手段とを有する単位画素を複数個配列したセンサアレイを備えた固体撮像装置において、前記単位画素のフォトダイオードに入射する光量に対応して、前記増幅手段に供給するバイアス電流の設定を変えるバイアス設定手段を備えていることを特徴とする固体撮像装置。

【請求項2】 フォトダイオードと、該フォトダイオードで発生した光電荷を蓄積する手段と、蓄積された光電荷を排出するリセット手段と、蓄積された光電荷に対応した増幅出力を出力する増幅手段と、増幅出力を選択的に読み出す選択スイッチング手段とを有する単位画素を複数個配列したセンサアレイを備えた固体撮像装置において、前記単位画素の増幅手段の出力部に接続された、信号出力線に付加された寄生容量の容量値以上の容量値をもつ容量素子と、信号出力線をリセットする手段とを設け、信号出力線に残留する不要電荷をリセットしながら前記容量素子に蓄積された画素信号を読み出すように構成したことを特徴とする固体撮像装置。

【請求項3】 フォトダイオードと、該フォトダイオードで発生した光電荷を蓄積する手段と、蓄積された光電荷を排出するリセット手段と、蓄積された光電荷に対応した増幅出力を出力する増幅手段と、増幅出力を選択的に読み出す選択スイッチング手段とを有する単位画素を複数個配列したセンサアレイを備えた固体撮像装置において、前記単位画素の増幅手段の出力部に接続された、ソースフォロア構成によるバッファと、信号出力線をリセットするリセット手段とを設け、信号出力線に残留する不要電荷をリセットしながら画素信号を読み出すように構成したことを特徴とする固体撮像装置。

【請求項4】 フォトダイオードと、該フォトダイオードで発生した光電荷を蓄積する手段と、蓄積された光電荷を排出するリセット手段と、蓄積された光電荷に対応した増幅出力を出力する増幅手段と、増幅出力を選択的に読み出す選択スイッチング手段とを有する単位画素を複数個配列したセンサアレイを備えた固体撮像装置において、前記単位画素のフォトダイオードに入射する光量に対応して、前記増幅手段に供給するバイアス電流の設定を変えるバイアス設定手段と、前記単位画素の増幅手段の出力部に接続された、信号出力線に付加された寄生容量の容量値以上の容量値をもつ容量素子と、信号出力線をリセットする手段とを設け、信号出力線に残留する不要電荷をリセットしながら前記容量素子に蓄積された画素信号を読み出すように構成したことを特徴とする固体撮像装置。

【請求項5】 フォトダイオードと、該フォトダイオ

ードで発生した光電荷を蓄積する手段と、蓄積された光電荷を排出するリセット手段と、蓄積された光電荷に対応した増幅出力を出力する増幅手段と、増幅出力を選択的に読み出す選択スイッチング手段とを有する単位画素を複数個配列したセンサアレイを備えた固体撮像装置において、前記単位画素のフォトダイオードに入射する光量に対応して、前記増幅手段に供給するバイアス電流の設定を変えるバイアス設定手段と、前記単位画素の増幅手段の出力部に接続された、ソースフォロア構成によるバッファと、信号出力線をリセットするリセット手段とを設け、信号出力線に残留する不要電荷をリセットしながら画素信号を読み出すように構成したことを特徴とする固体撮像装置。

【請求項6】 前記バイアス設定手段は、前記単位画素のフォトダイオードに入射する光量を検出する手段と、該光量検出手段による検出信号に基づいてバイアス電流の設定を制御する制御手段と、該制御手段の出力によりバイアス電流を設定するバイアス電流設定部とを備えていることを特徴とする請求項1、4又は5のいずれか1項に記載の固体撮像装置。

【請求項7】 前記入射光量検出手段は、前記センサアレイの近傍に設けたモニター用フォトダイオードと、該モニター用フォトダイオードで発生する光電流値を検出する回路とで構成し、積分開始時における光電流値に基づいてバイアス電流を設定するように構成されていることを特徴とする請求項6記載の固体撮像装置。

【請求項8】 前記入射光量検出手段は、前記センサアレイを構成する単位画素の各フォトダイオードの共通化された基版又はウェルに流れる光電流値を検出する回路で構成し、積分開始時における光電流値に基づいてバイアス電流を設定するように構成されていることを特徴とする請求項6記載の固体撮像装置。

【請求項9】 前記バイアス電流設定部は、カレントミラーで構成される電流値の異なる複数の電流源と、該複数の電流源と各単位画素の増幅手段の電流値を制御するバイアス回路とをそれぞれ切り換え接続するスイッチング素子とで構成され、前記制御手段により前記スイッチング素子を選択的に駆動するように構成されていることを特徴とする請求項6、7、8のいずれか1項に記載の固体撮像装置。

【請求項10】 前記入射光量検出手段は、前記センサアレイの増幅出力のピーク値を検出する手段で構成され、前記制御手段は、ピーク値検出手段による検出信号と基準値とを比較する比較手段と、画素のリセット後積分開始時から前記比較手段の出力反転時までの時間をカウントする手段と、該カウント手段の出力信号に応じてバイアス電流を制御する制御部とで構成されていることを特徴とする請求項6記載の固体撮像装置。

【請求項11】 前記ピーク値検出手段は、単位画素の増幅手段の出力部に接続したソースフォロア構成によるバ

ッファを用い、画素積分期間中選択スイッチング手段をONにして信号出力線よりピーク値を検出するように構成されていることを特徴とする請求項10記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、複数の画素で構成されるフォトダイオードアレイを有するラインセンサ等の固体撮像装置に関し、特に、各画素毎に増幅機能を備えた増幅型固体撮像装置において、消費電流を低減すると共に高輝度時における画素内部の増幅器の追従性を確保でき、更に読み出し速度も劣化しないようにした固体撮像装置に関する。

【0002】

【従来の技術】従来、固体撮像装置としては、MOS型、CCD型等の各画素で発生した光電荷自体を転送して読み出す方式の固体撮像装置のほかに、各画素毎に増幅機能を設け、各画素内で発生した光電荷に対応した増幅出力を読み出す増幅型固体撮像装置が知られている。

【0003】この増幅機能を有する画素の構成の一例として、図12に示す構成のものが、特開平4-36922号に開示されている。図12において、1はフォトダイオードであり、2はn型MOSトランジスタで、ソースを接地し、ドレインには負荷及び電流源として動作するp型MOSトランジスタ4を接続することにより、ソース接地型の増幅回路を構成している。そして、このソース接地型増幅回路の入力端子、すなわちn型MOSトランジスタ2のゲートにフォトダイオード1を接続し、ソース接地型増幅回路の出力端子、すなわちn型MOSトランジスタ2のドレインから入力端子（n型MOSトランジスタ2のゲート）に容量素子3を接続して帰還をかけると共に、n型MOSトランジスタ2のゲートの初期電位を設定するためのリセット用n型MOSトランジスタ5を容量素子3と並列に接続する。そして、この構成のものを画素（基本セル）とし、この画素を1次元又は2次元的に配列したときに、読み出し画素を選択するための、シフトレジスタパルスで駆動される選択用n型MOSトランジスタ6を設け、該n型MOSトランジスタ6をONしたときに、信号出力線7にn型MOSトランジスタ2のドレイン電圧が現れるように構成している。

【0004】次に、このように構成した画素の動作について説明する。まず、リセット用n型MOSトランジスタ5のゲートに印加されるリセットパルス $\phi_R$ を“H”レベルとすると、容量素子3に蓄積された電荷がはき出されて、リセット状態となる。この後、 $\phi_R$  = “L”に切り換えた時点から、フォトダイオード1で発生した光電荷が容量素子3に蓄積し、n型MOSトランジスタ2のドレイン電圧が蓄積された光電荷に応じて上昇する。そして、この電圧を選択用n型MOSトランジスタ6をONして信号出力線7から読み出し、画素信号出力を出

力端子 $V_{OUT}$ より出力する。

【0005】

【発明が解決しようとする課題】ところで、図12に示した構成の画素をアレイ状に並べてラインセンサ等を構成する場合、次に述べる問題点がある。すなわち、図12に示した構成の画素は、p型MOSトランジスタ4のゲート電圧 $V_{BIAS}$ により決定されるバイアス電流 $I_{BIAS}$ が定常的に流れ続けているため、多画素になればなるほど消費電流が大きくなる。したがって、 $I_{BIAS}$ はなるべく小さくしなければならない。

【0006】しかしながら、このバイアス電流 $I_{BIAS}$ は、次の2つの理由で、極端に小さくすることはできない。まず第1の理由は、画素内の増幅回路の高輝度時における追従性の問題である。フォトダイオード1に強い光が入射する場合、単位時間あたりに発生する光電荷は非常に多くなるため、それに対応してn型MOSトランジスタ2のドレイン電圧も急峻に立ち上がらなければならないが、バイアス電流 $I_{BIAS}$ が小さいと、n型MOSトランジスタ2のドレイン電圧の上昇率は、入射光に追従できなくなる。したがって、明るい光に対応するためには、バイアス電流 $I_{BIAS}$ を大きくしなければならない。

【0007】第2の理由は、読み出し速度の問題である。通常、画素数が多くなるにしたがって、読み出し速度を上げて、センサのデータを短時間で信号処理したいという要求が強くなる。しかし画素数が多くなると、信号出力線7上の寄生容量が大きくなり、したがって、図12に示した画素におけるp型MOSトランジスタ4のバイアス電流 $I_{BIAS}$ が小さいと、選択用n型MOSトランジスタ6をONしてから、信号出力線7が画素に対応した電圧に落ち着くまでに要する時間は長くなる。したがって、信号出力線寄生容量の増大を伴う画素数の多いセンサにおいて、読み出し速度を上げるためには、バイアス電流 $I_{BIAS}$ をますます大きくしなければならない。

【0008】本発明は、従来の構成の画素を用いた固体撮像装置における上記問題点を解消するためになされたもので、高輝度時の追従性及び読み出し速度の改善を解決し、且つバイアス電流を可及的に小さくして消費電流を低減した固体撮像装置を提供することを目的とする。

【0009】

【課題を解決するための手段及び作用】上記問題点を解決するため、本発明は、フォトダイオードと、該フォトダイオードで発生した光電荷を蓄積する手段と、蓄積された光電荷を排出するリセット手段と、蓄積された光電荷に対応した増幅出力を出力する増幅手段と、増幅出力を選択的に読み出す選択スイッチング手段とを有する単位画素を複数個配列したセンサアレイを備えた固体撮像装置において、前記単位画素のフォトダイオードに入射する光量に対応して、前記増幅手段に供給するバイアス

電流の設定を変えるバイアス設定手段を設けるものである。

【0010】このように、入射光量に対応して画素の増幅手段に与えるバイアス電流の設定を変える手段を設けることにより、暗い被写体に対しては常に低いバイアス電流を与えて、低消費電流化を実現することができ、明るい被写体の場合のみバイアス電流の設定を高くすることによって、追従性を良好にすることができる。

【0011】また本発明は、フォトダイオードと、該フォトダイオードで発生した光電荷を蓄積する手段と、蓄積された光電荷を排出するリセット手段と、蓄積された光電荷に対応した増幅出力を出力する増幅手段と、増幅出力を選択的に読み出す選択スイッチング手段とを有する単位画素を複数個配列したセンサアレイを備えた固体撮像装置において、前記単位画素の増幅手段の出力部に接続された、信号出力線に付加された寄生容量の容量値以上の容量値をもつ容量素子と、信号出力線をリセットする手段とを設け、信号出力線に残留する不要電荷をリセットしながら前記容量素子に蓄積された画素信号を読み出すように構成するものである。

【0012】このように、画素の増幅手段の出力部に信号出力線の寄生容量の容量値以上の容量値をもつ容量素子を接続すると共に、信号出力線にリセット手段を設け、信号出力線の残留電荷をリセットしながら容量素子に蓄積された画素信号を読み出すことにより、バイアス電流が小さくても読み出し速度を上げることが可能となる。

【0013】

【実施例】次に実施例について説明する。図1は、本発明をラインセンサに適用した実施例を示す回路構成図である。この実施例は、 $n$ 個の画素で構成されるラインセンサを示しており、図において、11-1、...、11- $n$ は画素で、これらの画素は図12に示した従来の画素の構成における $n$ 型MOSトランジスタ2と $p$ 型MOSトランジスタ4の各ドレインが接続されているソース接地型増幅回路の出力ノードに、容量素子12を設けた構成となっており、各画素の出力ノードは、選択用の $n$ 型MOSトランジスタ6を介して信号出力線7に接続されている。なお容量素子12の容量値は信号出力線7の寄生容量と同程度かそれ以上とする。13は信号出力線7上の残留電荷をリセットするための $n$ 型MOSトランジスタで、14は同じく信号出力線7に接続された、低い出力インピーダンスとするためのバッファであり、該バッファ14の出力は出\*

$$V_{OUT} = C_H / (C_H + C_P) \cdot V_S + I_{BIAS'} \cdot t_P \quad \dots\dots (1)$$

【0018】ここで、 $I_{BIAS'}$ は、バイアス電流 $I_{BIAS}$ 及び画素信号出力 $V_S$ に対応した電流であり、 $I_{BIAS}$ が大きくなると大きくなり、また $V_S$ が大きくなると大きくなる性質がある。 $t_P$ は読み出しを行う期間、すなわち選択用の $n$ 型MOSトランジスタ6がONしている時間である。

\* 力端子 $V_{OUT}$ に接続されている。また15は各画素の選択用 $n$ 型MOSトランジスタ6を順次ONするためのシフトレジスタである。

【0014】そして各画素の $p$ 型MOSトランジスタ4のソースは電源ライン $V_{DD}$ に共通に接続され、リセット用の $n$ 型MOSトランジスタ5のゲートは、リセットパルス $\phi_R$ の印加端子に共通に接続されている。また $p$ 型MOSトランジスタ4のゲートは、各画素共通に接続され、バイアス回路16に接続されている。各画素のバイアス電流 $I_{BIAS}$ は、このバイアス回路16の出力電圧 $V_{BIAS}$ によって決定され、 $V_{BIAS}$ が低くなると $I_{BIAS}$ は大きくなり、 $V_{BIAS}$ が電源電圧 $V_{DD}$ に近づくとき $I_{BIAS}$ は小さくなるようになっている。

【0015】本発明は、被写体の明るさにより、このバイアス電流 $I_{BIAS}$ の設定を変えて、消費電流の低減を計るものであるが、次に、この図1に示した実施例の動作を、図2に示したタイミングチャートを参照しながら説明する。まず期間 $T_0$ は、バイアス回路16の出力電圧 $V_{BIAS}$ の設定を行う期間であり、この $V_{BIAS}$ の設定は、被写体の明るさに応じて、明るいときは $V_{BIAS}$ を低く、暗いときは $V_{BIAS}$ を高く設定する。また、この期間 $T_0$ で行った設定は、画素出力の読み出しが終了するまでは変えないで一定状態にしておく。次に期間 $T_1$ は、各画素をリセットする期間であり、リセットパルス $\phi_R$ を“H”レベルとして各画素のリセットを行う。

【0016】そして $\phi_R = “L”$ となった時点から積分が開始され、期間 $T_2$ の間、積分動作が実行される。一定時間積分を行った後に、期間 $T_3$ においてシフトレジスタ15を駆動して、パルス $\phi_1, \dots, \phi_n$ を順次“H”レベルとして、各画素信号出力を読み出す。このときパルス $\phi_1, \dots, \phi_n$ のいずれかが“H”レベルのとき、 $n$ 型MOSトランジスタ13のゲート電圧 $\phi_{RV}$ を“L”レベルとして画素出力を読み出した後、 $\phi_{RV} = “H”$ として、信号出力線7に残留した前画素出力の電荷をリセットし、次の画素出力を読み出すようにしている。

【0017】各画素の選択用 $n$ 型MOSトランジスタ6をONすると、容量素子12に蓄積された電荷が信号出力線7に分配されると共に、画素内のバイアス電流 $I_{BIAS}$ に対応した電流が流れる。容量素子12の容量値を $C_H$ 、信号出力線7の寄生容量を $C_P$ 、画素の信号出力を $V_S$ とすると、出力端子の出力 $V_{OUT}$ は、次式(1)で表される。

※【0019】この(1)式より、読み出し期間 $t_P$ が短い場合でも、第1項の出力電圧は確保されることがわかる。したがって、読み出し期間 $t_P$ が短い場合は、容量素子12の容量値 $C_H$ を大きくすることにより、出力ゲインを上げることができ、また $C_H$ が小さくても、読み出し期間 $t_P$ を長くすることで、出力ゲインを上げること

が可能である。

【0020】また、このような構成の画素を用いたラインセンサにおいて、 $C_H$  を大きくすると、高輝度時に追従するためには、 $C_H$  が大きいほど  $I_{BIAS}$  を大きくする必要があるが、この  $I_{BIAS}$  もバイアス回路16により、明るさに対応した値に設定すればよい。必要最小限の消費電流の増大のみに抑えることができる。

【0021】次に、バイアス回路について説明する。図3は、バイアス回路の構成例を示す概念図で、このバイアス回路は、3種類の電流源21、22、23と、該電流源21、22、23をノード24に接続するための、制御信号  $D_0$ 、 $D_1$ 、 $D_2$  で制御される3個のスイッチング素子25、26、27と、電流値  $I_{B0}$  に対応した電圧を発生する、ゲート・ドレインが共通に接続されたp型MOSトランジスタ28とで構成されている。

【0022】このように構成されたバイアス回路において、電流源21、22、23の電流値  $I_0$ 、 $I_1$ 、 $I_2$  を、 $I_0 : I_1 : I_2 = 1 : 9 : 90$  と設定すれば、p型MOSトランジスタ28の電流値  $I_{B0}$  は、制御信号  $D_0$ 、 $D_1$ 、 $D_2$  によるスイッチング素子25、26、27の切り換えにより、最小電流値からその100倍まで切り換えを行うことができる。バイアス回路の出力電圧  $V_{BIAS}$  は電流値  $I_{B0}$  によって変化し、それにより各画素内のバイアス電流  $I_{BIAS}$  も100倍まで変化させることができる。

【0023】図4は、図3の概念図で示したバイアス回路を、MOSトランジスタで実現した具体的な構成例を示す回路構成図である。図4において、n型MOSトランジスタ31、32、33は、図3に示した電流源21、22、23に対応するもので、各n型MOSトランジスタ31、32、33のゲートサイズ比  $W/L$  の比を変えることにより、重み付けの異なった3種類の電流源が実現できる。また図3におけるスイッチング素子25、26、27は、p型MOSトランジスタ35、36、37で実現されている。なお、38はn型MOSトランジスタ31、32、33とカレントミラー回路を構成する基準電流回路である。

【0024】上記構成のバイアス回路において、制御信号  $D_0$ 、 $D_1$ 、 $D_2$  によりバイアス出力電圧  $V_{BIAS}$  を制御することができ、これにより画素内のバイアス電流  $I_{BIAS}$  を変えることが可能である。図3、4に示した構成例では、電流源を3種類設けたものを示したが、これは被写体の明るさの範囲及びバイアス電流の設定のステップ等に応じて、電流源の電流値の比及び個数は適切に設定すればよい。

【0025】図1に示した実施例においては、画素内の増幅回路出力段に容量素子12を設けて、速い読み出し速度に対応できるようにしたものを示したが、次に他の実施例を図5に示す。図5においては、一画素の構成のみを示しているが、画素以外の構成及びその駆動方法は、図1に示した実施例と全く同様である。図5において、図1に示した実施例の画素構成と異なる点は、ソース接

地型増幅回路の出力部に、ソースフォロアとして動作するn型MOSトランジスタ41のゲートを接続し、そのソース出力を選択用n型MOSトランジスタ6に接続している点である。

【0026】この構成の実施例においては、信号出力線7を逐次リセットしてGNDレベルにすることにより、n型MOSトランジスタ41の駆動能力により決定される出力信号が信号出力線7に伝達される。n型MOSトランジスタ41の駆動能力は、n型MOSトランジスタ41のゲート電圧、すなわち画素内の出力信号電圧及びn型MOSトランジスタ41のトランジスタサイズ等で決まる  $g_m$  に依存する。したがって信号出力線7の寄生容量が大きく、また読み出し時間が短い場合には、n型MOSトランジスタ41の  $g_m$  を大きくすれば、高いゲインで信号出力を得ることができる。この  $g_m$  を大きくするには、n型MOSトランジスタ41のゲート幅  $W$  を大きくしなければならないため、n型MOSトランジスタ41のゲート容量42が大きくなり、したがって高輝度時の追従性をよくするためには、バイアス電流  $I_{BIAS}$  を大きくする必要がある。しかしながら、図1に示した実施例と同様に、バイアス回路を設け、必要なときのみ、バイアス電流  $I_{BIAS}$  を大きくすることによって、不要な消費電流の増大を防ぐことができる。

【0027】図1及び図5に示した実施例においては、ある特定の時刻における画素信号電圧を保持する機能がないため、各画素毎に、読み出し時間の差だけ積分時間の差が現れてしまう。これを防ぐためには、図1及び図5に示した実施例の画素構成に、サンプルホールド用のスイッチングトランジスタを設ければよい。図6及び図7に、かかる画素信号電圧保持機能を有する画素構成をもつ実施例を示す。

【0028】図6に示した実施例では、ソース接地型増幅回路の出力部と容量素子12との間に、n型MOSトランジスタ45を追加し、また図7に示した実施例では、ソース接地型増幅回路の出力部とソースフォロアとして動作するn型MOSトランジスタ41のゲートとの間に、n型MOSトランジスタ45を追加した以外は、図1又は図5に示した実施例の構成と全く同様である。そして、この追加されたn型MOSトランジスタ45のゲートを駆動するパルス  $\phi_{SH}$  は、図2に示したタイミングチャートにおける期間  $T_1$ 、 $T_2$  の間を“H”レベルとし、他の期間は“L”レベルとなるものを用いられたい。

【0029】以上述べた各実施例においては、高輝度時にも追従性がよく、また高速の読み出しが可能で、且つ消費電流を小さくする手段を備えたラインセンサを示したが、次にラインセンサ面上の明るさを判断する手段を備えた実施例について説明する。

【0030】図8は、画素内の蓄積電荷の状態を知るためのモニター手段を設けたラインセンサの実施例を示す回路構成図である。このラインセンサは、各基本画素51



-1, ..., 51-nをn画素配置した構成をとり、基本的には図1に示した実施例において説明した動作と同じ動作をする。図1に示した実施例と異なる点は、各画素内にモニター用のソースフォロアとして動作するn型MOSトランジスタ52を設けた点で、このモニター用n型MOSトランジスタ52のゲートは、画素内のソース接地型増幅回路の出力部に接続され、ドレインには電源電圧 $V_{DD}$ が印加され、ソースは各画素共通にソースライン53に接続されて、電流源として動作するバイアス用n型MOSトランジスタ54のドレインに接続されている。またソースライン53は、更に、一方の入力端が基準電圧 $V_{ref}$ に接続されているコンパレータ55の他方の入力端に接続されている。そして、各画素の出力部にゲートが接続された前記モニター用n型MOSトランジスタ52、及びバイアス用n型MOSトランジスタ54は、ピーク検出回路の構成となっており、ソースライン53の電圧 $V_H$ は、画素の出力電圧のピーク値を示すようになっている。

【0031】上記のように構成したピーク値検出機能を有するラインセンサにおいては、更に次のような手段を設けることにより、センサ面上の明るさを検出し、バイアス電流 $I_{BIAS}$ を制御できるようになっている。すなわち、図8に示すように、リセットパルス $\phi_R$ でリセットされ、画素の積分開始と共に動作し、コンパレータ55が“L”レベルから“H”レベルに反転する時点、すなわち画素出力電圧のピーク値 $V_H$ が基準電圧 $V_{ref}$ を超えた時点に、カウントを終了するカウンタ56を設け、該カウンタ56の値に応じて制御回路57により、バイアス回路16を制御してバイアス電流 $I_{BIAS}$ を制御するようになっている。

【0032】このように構成されたラインセンサは、次のように動作が行われる。まずバイアス回路16によるバイアス電流 $I_{BIAS}$ の設定は、最小にして積分動作を行う。このとき、センサ面が明るければ、コンパレータ55が反転するまでの時間は短く、センサ面が暗ければ、反転するまでの時間は長くなる。したがって、コンパレータ55の反転までの時間が基準となる時間より長い場合は、そのまま積分動作を行い、一定積分時間経過後、積分を終了し読み出しを行う。この積分時間の制御は、カウンタ56の値をもとに行えば、効率よく行うことができる。

【0033】またコンパレータ55の反転までの時間が基準時間より短い場合は、制御回路57により、バイアス回路16をバイアス電流が大きくなるように設定して、再びリセット動作を行い、再度積分動作を行う。

【0034】バイアス回路16におけるバイアスの設定が2つの場合は、以上の動作でバイアス電流の切り換えが行われる。また、バイアス回路16における設定が3つ以上の場合は、積分開始からコンパレータ55が反転するまでの基準時間を、その設定に対応して設ければよい。そして、バイアス電流の小さい方から順次切り換えながら

積分を行うようにすればよい。

【0035】このような動作を行えば、センサ面上が暗い場合、すなわち長い積分時間に対しては、1回の積分動作で済み、明るい場合は、複数回の積分を行っても、1回あたりの積分時間は短くて済むため、画素信号を読み取るまでの時間を効率よく使用することができる。

【0036】図8に示した実施例におけるコンパレータ55、カウンタ56、制御回路57は、画素と同一チップ上に配置構成してもよいし、また外部回路として構成してもよい。

【0037】また図8に示した実施例は、図1に示した実施例に適用したものであるが、図5〜7に示した実施例に対しても、各画素中にモニター用のソースフォロアとして動作するn型MOSトランジスタを、ソース接地型増幅回路の出力部に追加することにより、同様な手法で、バイアス回路により与えられるバイアス電流値を制御することができる。

【0038】また図5及び図7に示した実施例は、画素構成において、ソースフォロアとして動作するn型MOSトランジスタ41が予め設けられているので、図9に示すような構成にしても、図8に示した実施例と同様に動作させることが可能である。

【0039】すなわち、図9は、図5に示した実施例の画素構成にモニター機能を設けた実施例を示す回路構成図である。この実施例は、信号出力線7を、通常の画素出力信号を読み出すラインとして用いる他に、画素積分中のピーク検出にも利用するものである。このピーク検出動作を行うには、積分期間中、シフトレジスタ15のパルス $\phi_1, \dots, \phi_n$ をONにすると共に、信号出力線7をリセットするn型MOSトランジスタ13のゲート電圧を、該n型MOSトランジスタ13が飽和領域で動作するような、すなわち電流源として動作するような電圧とすればよい。この動作によって、信号出力線7を用いて、画素積分中のピーク値検出を行うことができる。このピーク値検出後の動作は、図8に示した実施例で述べた動作と全く同様に行われる。

【0040】次に、センサ面上の明るさを検知する他の手段を用いた実施例を図10を用いて説明する。この実施例は、図1に示した実施例に、モニター用のフォトダイオードを設けた構成のものである。図において、フォトダイオードアレイ61を構成する各フォトダイオードは、図1に示した実施例のフォトダイオード1に相当し、その次段のアンプ62は、画素内の増幅回路を表している。このような構成のラインセンサに対して、フォトダイオードアレイ61の近傍に、モニター用フォトダイオード63を配置し、該フォトダイオード63の出力を対数圧縮型の電流検出回路64により電圧出力とし、制御回路57に入力するように構成されている。

【0041】このようなモニター用のフォトダイオード63を、フォトダイオードアレイ61の近傍に配置すること

11

により、電流検出回路64の出力電圧でセンサ面上の明るさを検出することができる。したがって電流検出回路64の出力電圧に応じて、制御回路57によりバイアス回路16を介してバイアス電流を設定することにより、センサ面の明るさに応じたバイアス電流の設定が可能となる。

【0042】図10に示した実施例においては、モニター用フォトダイオード63と画素群を構成するフォトダイオードアレイ61とにおいて、極端に明るさが異なるような光学系を用いる場合は、誤差が大きくなり実用できない。図11は、センサ面上の明るさを検出できるようにした他の実施例を示す回路構成図である。図11に示す実施例において、図10に示した実施例と異なる点は、図10に示した実施例ではモニター用のフォトダイオード63を設けて光を検出していたのに対し、この実施例は、各画素を構成するフォトダイオードアレイ61の基板側又はウェル側に流れる光電流により、明るさを検出するように構成している点である。この実施例による構成では、光電流の向きが図10に示した実施例とは逆の向きとなり、電流検出回路64においては負の電位が発生するが、動作は、図10に示した実施例において説明したのと同様に、電流検出回路64の出力電圧によりセンサ面上の明るさを判定して、バイアス電流値の設定が行われる。

【0043】以上述べたように、種々の手段により、センサ面上の明るさを検出することにより、センサ面上の明るさに応じたバイアス電流の設定を行うことができる。

【0044】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、画素内で消費するバイアス電流を必要最小限に抑えながら、高輝度時に対する追従性を良好にし且つ高速な読み出し動作を可能とする固体撮像装置を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像装置の実施例を示す回路構成図である。

【図2】図1に示した実施例の動作を説明するためのタ

12

イミングチャートである。

【図3】図1に示した実施例のバイアス回路の構成例を示す概念図である。

【図4】図3に示したバイアス回路の具体的な構成を示す回路構成図である。

【図5】本発明の他の実施例の一面素部分を示す図である。

【図6】本発明の更に他の実施例の一面素部分を示す図である。

【図7】本発明の更に他の実施例の一面素部分を示す図である。

【図8】画素内の蓄積電荷の状態を検知するモニター手段を備えた実施例を示す回路構成図である。

【図9】画素内の蓄積電荷の状態を検知するモニター手段を備えた他の実施例を示す回路構成図である。

【図10】センサ面上の明るさを検知する手段を備えた実施例を示す回路構成図である。

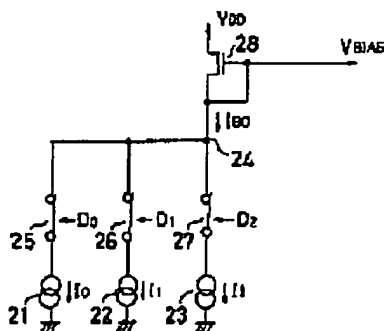
【図11】センサ面上の明るさを検知する手段を備えた他の実施例を示す回路構成図である。

【図12】従来の増幅機能を有する画素構成の一例を示す回路構成図である。

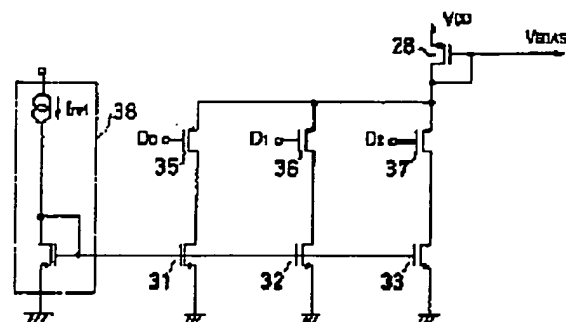
【符号の説明】

- 1 フォトダイオード
- 2 n型MOSトランジスタ
- 3 容量素子
- 4 p型MOSトランジスタ
- 5 リセット用n型MOSトランジスタ
- 6 選択用n型MOSトランジスタ
- 7 信号出力線
- 11-1, ... 11-n 画素
- 12 容量素子
- 13 信号出力線リセット用n型MOSトランジスタ
- 14 バッファ
- 15 シフトレジスタ
- 16 バイアス回路

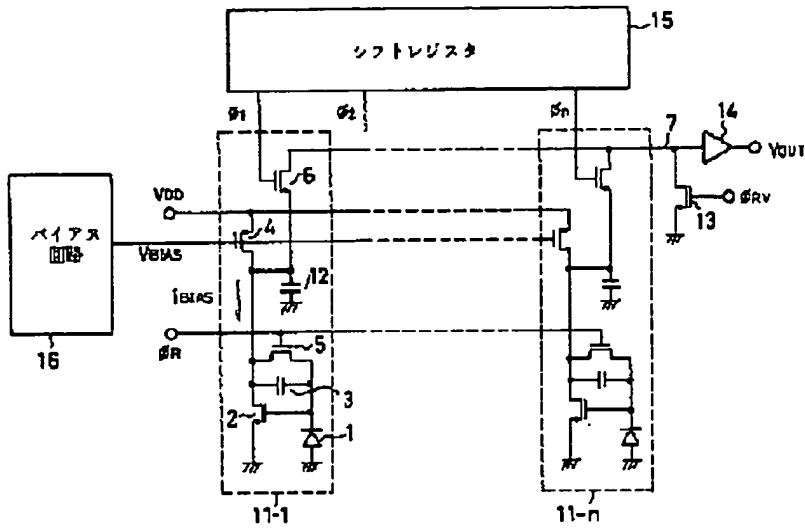
【図3】



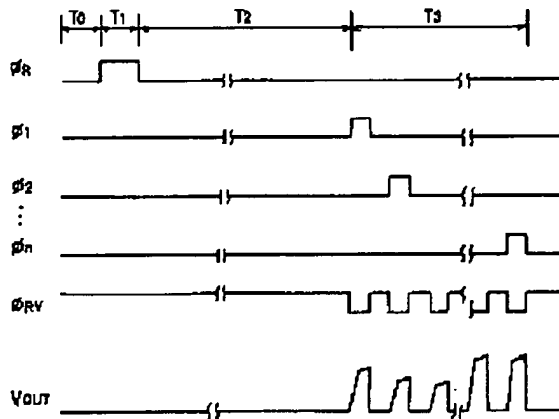
【図4】



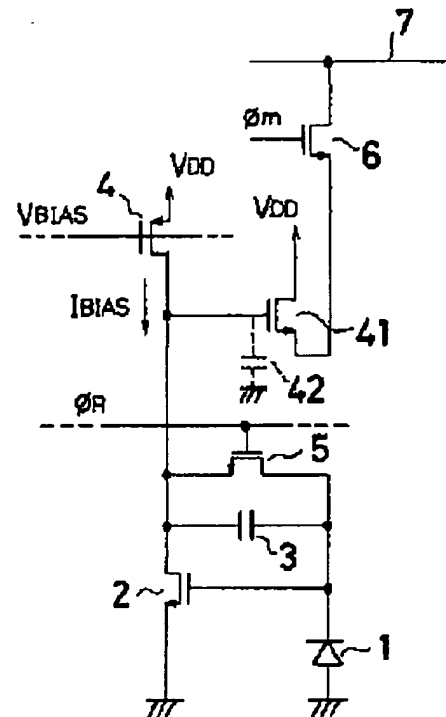
【図1】



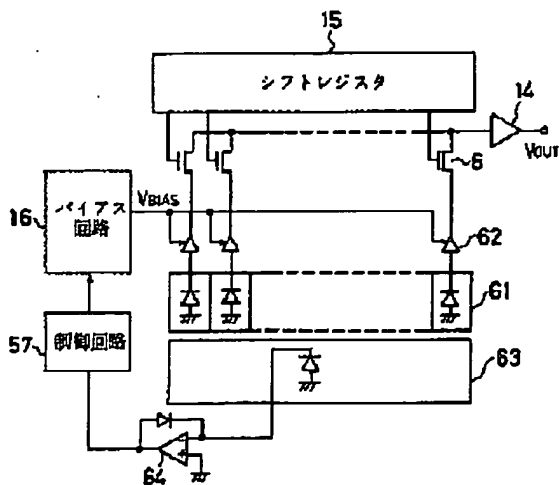
【図2】



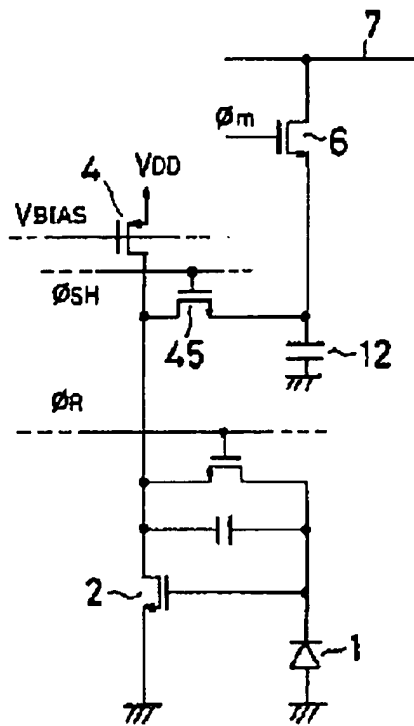
【図5】



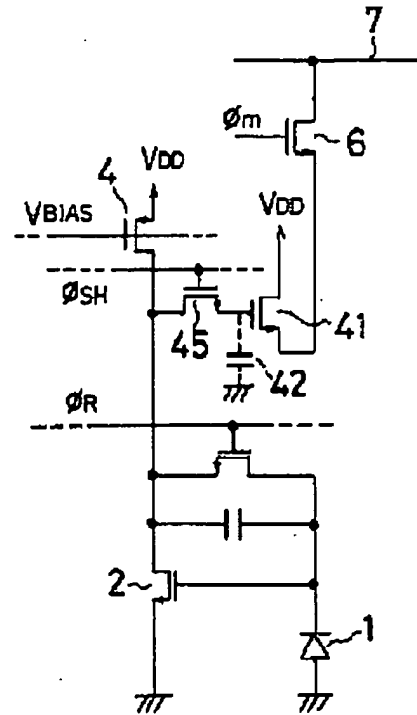
【図10】



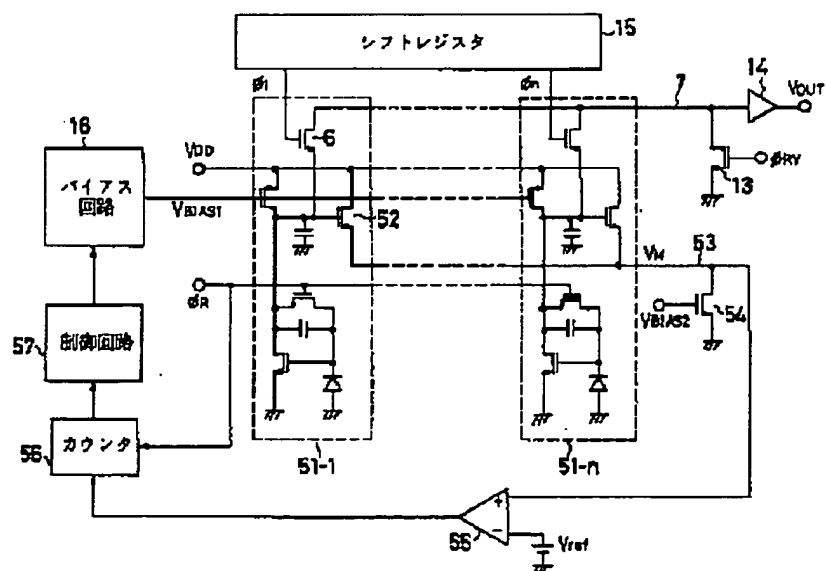
【図6】



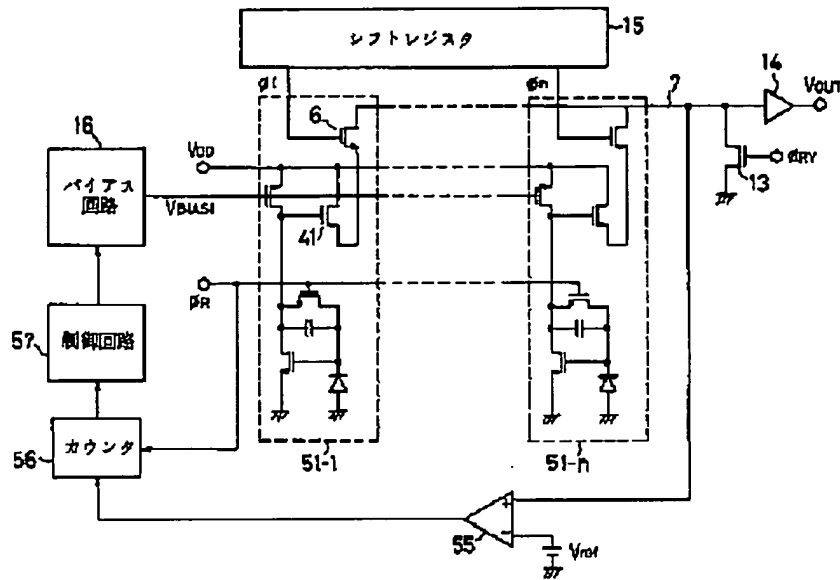
【図7】



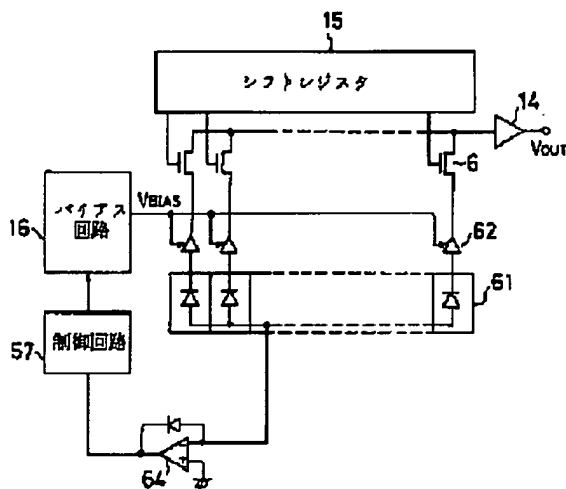
【図8】



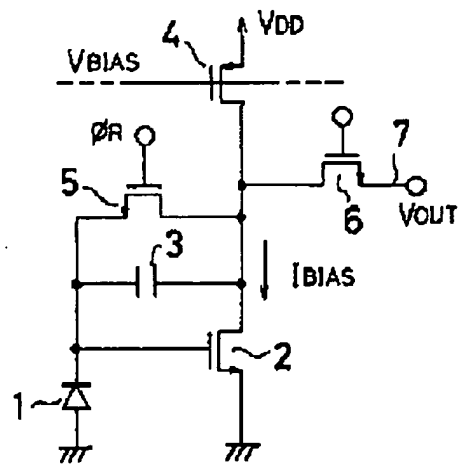
【図9】



【図11】



【図12】



- 1 : フォトダイオード
- 2 : n型MOSトランジスタ
- 3 : 容量素子
- 4 : P型MOSトランジスタ
- 5 : リセット用n型MOSトランジスタ
- 6 : 選択用n型MOSトランジスタ
- 7 : 信号出力線